


**Display apparatus with means for detecting changes in input video.**

Patent Number: ☐ EP0645691, A3  
Publication date: 1995-03-29  
Inventor(s): BEETESON JOHN (GB); KERIGAN SHAUN (GB); KNOX ANDREW (GB); ANWYL EDWARD (GB); MARTINEZ PETER (US)  
Applicant(s): IBM (US)  
Requested Patent: ☐ JP7110672  
Application Number: EP19940306520 19940905  
Priority Number(s): GB19930019766 19930924  
IPC Classification: G06F1/32  
EC Classification: G09G5/00, G06F1/32P6D  
Equivalents: ☐ GB2282307, JP2635936B2, ☐ US5576738  
Cited patent(s): EP0545828; GB2007471; EP0530005

---

**Abstract**

---

Display apparatus comprises a display screen (400) and a drive circuit (401) connected to the display screen (400) to generate an image on the display screen (400) in response to an input video signal (R,G,B). A timer (405) generates a count in response to a clock signal. A detector (403,404,402) also receives the input video signal and resets the timer (405) on detection of a change in image content between successive frames of the input video signal (R,G,B). Control means (402) is connected to the timer (405) and to the drive circuit (401) for at least partially disabling the drive circuit (401) in response to the count stored in the timer (405) exceeding a predetermined threshold. 

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-110672

(43) 公開日 平成7年(1995)4月25日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 5/00

識別記号

5 5 0 B 9471-5G

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 11 O L (全 14 頁)

(21) 出願番号 特願平6-187359

(22) 出願日 平成6年(1994)8月9日

(31) 優先権主張番号 9319766.3

(32) 優先日 1993年9月24日

(33) 優先権主張国 イギリス (GB)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS  
MACHINES CORPORATIONアメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(74) 代理人 弁理士 合田 潔 (外2名)

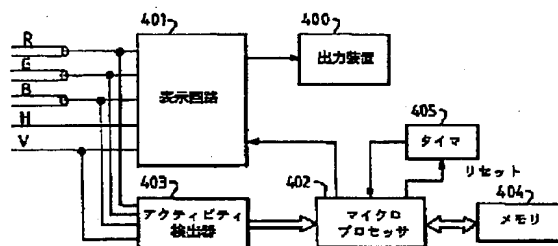
最終頁に続く

(54) 【発明の名称】 表示装置及びコンピュータ・システム

(57) 【要約】

【目的】 システム装置に無関係な電力管理を達成すること。

【構成】 表示装置が表示画面400と、表示画面400に接続され、入力ビデオ信号(R、G、B)にตอบสนองして表示画面400上にイメージを生成する駆動回路401を含む。タイマ405がクロック信号にตอบสนองしてカウントを生成する。検出器403、404、402もまた入力ビデオ信号を受信し、入力ビデオ信号(R、G、B)の連続フレーム間のイメージ内容の変化の検出において、前記タイマ405をリセットする。制御手段402がタイマ405及び駆動回路401に接続され、タイマ405に記憶されるカウントが所定のしきい値を越えたことにตอบสนองして、前記駆動回路401を少なくとも部分的に不能にする。



1

## 【特許請求の範囲】

【請求項1】表示画面及び入力ビデオ信号（R、G、B）を受信して入力ビデオ信号（R、G、B）にตอบสนองしてイメージを表示画面上に生成するように表示画面に接続された駆動回路を含む表示装置であって、クロック信号にตอบสนองしてカウントを生成するタイマと、入力ビデオ信号を受信し、入力ビデオ信号（R、G、B）の連続フレーム間のイメージ内容の変化の検出においてタイマをリセットする検出器と、タイマ及び駆動回路に接続されて、タイマに記憶されるカウントが所定しきい値を越えたことにตอบสนองして、少なくとも部分的に駆動回路を不能にする制御手段と、を含む、表示装置。

【請求項2】前記検出器が、入力ビデオ信号のフレームの少なくとも1部を記憶するフレーム記憶と、前記フレーム記憶に接続され、該フレーム記憶に記憶されるビデオ信号のフレームの1部を、入力ビデオ信号の次のフレームの対応部分と比較する比較器と、比較器がフレーム記憶に記憶されるビデオ信号のフレームの1部が、入力ビデオ信号の次のフレームの対応部分と異なると判断すると、前記タイマをリセットする手段と、を含む、請求項1記載の表示装置。

【請求項3】前記検出器が、入力ビデオ信号が所定のしきい値を横切る遷移にตอบสนองして、パルス信号を生成するしきい値手段と、パルス信号のパルスをカウントして、入力ビデオ信号における遷移回数を示すパルス・カウントを生成するカウンタと、ビデオ信号の各フレームの開始において前記カウンタをリセットする手段と、入力ビデオ信号の第1フレームの終りにおける前記カウンタのパルス・カウントを、入力ビデオ信号の次のフレームの終りにおける前記カウンタのパルス・カウントと比較する比較器と、前記比較器が入力ビデオ信号の連続フレームに対応するパルス・カウントが異なると判断すると、前記タイマをリセットする手段と、を含む、請求項1記載の表示装置。

【請求項4】前記検出器が、入力ビデオ信号が所定のしきい値を横切る遷移にตอบสนองして、パルス信号を生成するしきい値手段と、パルス信号の関数としてチェックサムを生成する巡回冗長チェックサム発生器と、入力ビデオ信号の各フレームの開始において前記チェックサム発生器をリセットする手段と、入力ビデオ信号の第1フレームの終りにおける前記チェックサム発生器により生成されるチェックサムを、入力ビデオ信号の次のフレームの終りにおける前記チェック

2

サム発生器により生成されるチェックサムと比較する比較器と、比較器が入力ビデオ信号の連続フレームに対応するチェックサムが異なると判断すると、前記タイマをリセットする手段と、を含む、請求項1記載の表示装置。

【請求項5】前記検出器が、入力ビデオ信号の点滅カーソル要素を、入力ビデオ信号の連続フレームに対応するチェックサムの関数として検出するカーソル・フィルタリング手段と、前記比較器が入力ビデオ信号の連続フレームに対応するチェックサムが異なると判断し、前記カーソル・フィルタリング手段により、チェックサム間の差が入力ビデオ信号の前記点滅カーソル要素に対応すると判断されない場合に、前記タイマをリセットする手段と、を含む、請求項4記載の表示装置。

【請求項6】前記カーソル・フィルタリング手段が、入力ビデオ信号の連続フレームに対応するチェックサムの周期性を検出することにより、入力ビデオ信号の点滅カーソル要素を識別する、請求項5記載の表示装置。

【請求項7】前記しきい値手段が、各々が異なるしきい値レベルを横切るビデオ信号の遷移にตอบสนองして出力信号を生成する複数の比較器と、前記比較器からの出力信号の組合わせの関数としてパルス信号を生成する排他的論理和ゲートと、を含む、請求項2乃至6記載の表示装置。

【請求項8】前記しきい値手段が、第1の所定のしきい値レベルを横切るビデオ信号の遷移にตอบสนองして第1の信号を生成する第1の比較器手段と、前記第1の所定のしきい値レベルよりも低い第2の所定のしきい値レベルを横切るビデオ信号の遷移にตอบสนองして第2の信号を生成する第2の比較器手段と、前記第1及び第2の信号の組合わせの関数としてパルス信号を生成する排他的論理和ゲートと、を含む、請求項6記載の表示装置。

【請求項9】前記検出器が、入力ビデオ信号を積分し、出力レベルを生成する積分器と、入力ビデオ信号の各フレームの終りにおける出力レベルの関数として、デジタル・ワードを生成するアナログーデジタル変換器と、入力ビデオ信号の各フレームの開始において前記積分器をリセットする手段と、第1フレームの終りにおける前記アナログーデジタル変換器により生成されるデジタル・ワードを、次のフレームの終りにおける該アナログーデジタル変換器により生成されるデジタル・ワードと比較する比較器と、前記比較器が入力ビデオ信号の連続フレームに対応するデジタル・ワードが異なると判断すると、前記タイマをリセットする検出器と、

を含む、請求項1記載の表示装置。

【請求項10】前記アナログ・デジタル変換器がグレースコードによるデジタル・ワードを生成するように適応化される請求項6記載の表示装置。

【請求項11】入力ビデオ信号を生成し、表示装置の画面上にイメージを生成するシステム装置と、前記システム装置にデータ及びコマンドを入力するデータ入力装置と、を含む、前記請求項のいずれかに記載の表示装置を含むコンピュータ・システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、入力ビデオにおける静止検出手段を有し、電力管理を提供する表示装置に関する。

【0002】

【従来の技術】従来のコンピュータ・システムは、一般に、コンピュータ・システム装置、コンピュータ・システム装置において生成されるコンピュータ・データを表示する表示装置ユニット、及びコンピュータ・システム装置にデータを入力するためのキーボードを含む。幾つかの従来のコンピュータ・システムでは、システム装置におけるキーボード活動を検出することにより、表示装置の電力管理が提供される。オペレータがこうしたコンピュータ・システムからある期間離れると、システム装置は表示装置に輝度または表示されるイメージのサイズを減じるように命令する。システム装置はオペレータによる次のキーボード・エントリを検出すると、表示装置に輝度または表示されるイメージのサイズを復元するように命令する。他の従来のコンピュータ・システムでは、表示装置におけるこうした電力管理は提供されない。なぜなら、システム装置が表示装置に命令を伝達する手段を有さないからである。

【0003】

【発明が解決しようとする課題】本発明の目的は、システム装置には無関係に表示装置における電力管理を可能にすることであり、表示装置が接続されるシステム装置には関係無しに電力管理を達成することにある。

【0004】

【課題を解決するための手段】本発明によれば、表示画面及び入力ビデオ信号を受信する駆動回路を含む表示装置が提供され、駆動回路は表示画面に接続され、入力ビデオ信号にตอบสนองして表示画面上にイメージを生成する。本発明による表示装置は、クロック信号にตอบสนองしてカウントを生成するタイマ、入力ビデオ信号を受信し、入力ビデオ信号の連続フレーム間のイメージ内容の変化を検出することにより前記タイマをリセットする検出器、及び前記タイマ、及び前記駆動回路に接続され、前記タイマに記憶される所定のしきい値を横切るカウントにตอบสนองして、少なくとも部分的に駆動回路を不能にする制御手

段を含むことを特徴とする。

【0005】本発明の好適な実施例では、検出器は入力ビデオ信号のフレームの少なくとも1部を記憶するフレーム記憶と、フレーム記憶に接続され、フレーム記憶に記憶されるビデオ信号のフレームの1部を、入力ビデオ信号の次のフレームの対応部分と比較する比較器と、前記比較器によりフレーム記憶に記憶されるビデオ信号のフレームの1部が、入力ビデオ信号の次のフレームの対応部分と異なると判断されると、前記タイマをリセットする手段とを含む。

10

【0006】本発明の別の実施例では、検出器は所定のしきい値を横切る入力ビデオ信号の遷移にตอบสนองしてパルス信号を生成するしきい値手段と、前記パルス信号のパルスをカウントし、入力ビデオ信号の遷移回数を示すパルス・カウントを生成するカウンタと、ビデオ信号の各フレームの開始において、カウンタをリセットする手段と、入力ビデオ信号の第1のフレームの終りににおけるカウンタのパルス・カウントを、入力ビデオ信号の次のフレームの終りににおけるカウンタのパルス・カウントと比較する比較器と、前記比較器が入力ビデオ信号の連続フレームに対応するパルス・カウントが異なると判断すると、前記タイマをリセットする手段とを含む。

20

【0007】本発明の更に別の実施例では、検出器は、所定のしきい値を横切る入力ビデオ信号の遷移にตอบสนองしてパルス信号を生成するしきい値手段と、パルス信号の関数としてチェックサムを生成する巡回冗長チェックサム発生器と、入力ビデオ信号の各フレームの開始においてチェックサム発生器をリセットする手段と、前記チェックサム発生器により入力ビデオ信号の第1のフレームの終りに生成されるチェックサムを、該チェックサム発生器により入力ビデオ信号の次のフレームの終りに生成されるチェックサムと比較する比較器と、前記比較器が入力ビデオ信号の連続フレームに対応するチェックサムが異なると判断すると、前記タイマをリセットする手段とを含む。

30

【0008】検出器は好適には、入力ビデオ信号の点滅カーソル要素を、入力ビデオ信号の連続フレームに対応するチェックサムの関数として検出するカーソル・フィルタリング手段と、比較器が入力ビデオ信号の連続フレームに対応するチェックサムが異なると判断し、カーソル・フィルタリング手段によりチェックサム間の差が入力ビデオ信号の点滅カーソル要素に対応すると判断されない場合に、前記タイマをリセットする手段とを含む。これにより本発明の表示装置では、表示イメージが点滅カーソルを含む時、電力管理が有利に達成される。

40

【0009】カーソル・フィルタリング手段は、好適には、入力ビデオ信号の連続フレームまたはフレーム・グループに対応するチェックサムの周期性を検出することにより、入力ビデオ信号の点滅カーソル要素を識別する。これにより、表示画面にカーソルをフルに書込むた

50

めに複数のフレーム・リフレッシュが使用される時、有利に電力管理が達成される。

【0010】しきい値手段は、単一のしきい値を横切る入力ビデオ信号の遷移にตอบสนองしてパルス信号を生成するエッジ検出器として作用する比較器を含むことができる。これは特に、デジタル・ビデオ入力から表示装置への電力管理において有用である。

【0011】本発明の好適な実施例では、しきい値手段は、各々が異なるしきい値レベルを横切るビデオ信号の遷移にตอบสนองして出力信号を生成する複数の比較器手段と、比較器手段からの出力信号の組合わせの関数として、パルス信号を生成する排他的論理和ゲートを含む。これは特にアナログ・ビデオ入力から表示装置への電力管理に有用である。なぜなら、これは例えば、比較的明るい背景上にスーパーインポーズされる比較的暗いテキストまたはグラフィックスなどに相当する、入力ビデオ信号の大小両方の振幅遷移の検出を可能にする。しきい値レベルの数が大きくなると、検出器の感度が大きくなる。

【0012】本発明の特定の実施例では、しきい値手段は、第1の所定のしきい値を横切るビデオ信号の遷移にตอบสนองして第1の信号を生成する第1の比較器手段と、第1の所定のしきい値よりも低い第2の所定のしきい値を横切るビデオ信号の遷移にตอบสนองして、第2の信号を生成する第2の比較器手段と、第1及び第2の信号の組合わせの関数としてパルス信号を生成する排他的論理和ゲートを含む。

【0013】本発明の別の実施例では、検出器は、出力レベルを生成するために入力ビデオ信号を積分する積分器と、入力ビデオ信号の各フレームの終りに出力レベルの関数としてデジタル・ワードを生成するアナログーデジタル変換器と、入力ビデオ信号の各フレームの始まりにおいて積分器をリセットする手段と、第1のフレームの終りにアナログーデジタル変換器により生成されるデジタル・ワードを、次のフレームの終りにアナログーデジタル変換器により生成されるデジタル・ワードと比較する比較器とを含み、比較器は入力ビデオ信号の連続フレームに対応するデジタル・ワードが異なると判断すると、タイマをリセットする。

【0014】アナログーデジタル変換器は、好適には、グレイコード（巡回2進符号）によるデジタル・ワードを生成するように適応化される。それにより、デジタル・ワードの1ビットだけが連続デジタル値の間で変化する。これは検出器の耐ノイズ性を改良する。

【0015】本発明が、表示装置の画面上にイメージを生成する入力ビデオ信号を生成する処理装置、及びデータ及びコマンドを処理装置に入力するためのデータ入力装置と共に、本発明に関連して上述された種類の表示装置を含むコンピュータ・システムに拡張されることが理解されよう。

【0016】

【実施例】図1を参照すると、コンピュータ・システムはシステム装置5を含み、これにはランダム・アクセス・メモリ（RAM）10、読出し専用記憶装置（ROM）20、中央処理装置（CPU）30、通信アダプタ40、表示アダプタ70、ポインティング・デバイス・アダプタ80、キーボード・アダプタ90、及びハード・ディスク・ドライブまたはテープ・ストリーマなどの大容量記憶装置100が含まれ、これらは全てバス・アーキテクチャ60により相互接続される。システム装置5はアダプタ90を介してキーボード110に接続される。タッチ画面、タブレットまたはマウスなどのポインティング・デバイス120が、アダプタ80を介してシステム装置5に接続される。システム装置5は更にアダプタ70を介して、陰極線管（CRT）表示装置または液晶表示装置などの表示装置130に接続される。他のシステム装置のネットワーク50が、通信アダプタ40を介して、システム装置5に接続される。

【0017】オペレーションに際し、CPU30はROM20、RAM10、及び大容量記憶装置100の組合わせにより記憶されるコンピュータ・プログラム・コードの制御の下で、RAM10及び大容量記憶装置100の組合わせにより記憶されるデータを処理する。通信アダプタ40は、システム装置5とネットワーク50内の他のシステム装置との間のデータ及びコンピュータ・プログラム・コードの転送を制御する。キーボード・アダプタ90及びマウス・アダプタ80は、それぞれキーボード110及びポインティング・デバイス120から、データ及び命令を手操作によりシステム装置5に入力することを可能にする。表示アダプタ70はシステム装置5からの出力データをビデオ信号R、G及びB、及び水平及び垂直ピクチャ同期（sync）信号H及びVに変換し、それにより表示装置130はビジュアル・データ出力を生成するように構成される。バス・アーキテクチャ60は、RAM10、ROM20、CPU30、記憶装置100、及びアダプタ40、90、80及び70の間のデータ転送を調整する。

【0018】図2を参照すると、表示装置130は駆動回路301を含む。駆動回路301は陰極線管または液晶表示パネルなどの出力装置303を含む。出力装置303は表示回路304に接続される。表示回路304は、表示アダプタ70により生成されるビデオ信号R、G及びB、及び同期信号H及びVに接続される。オペレーションに際し、表示回路304は出力装置303を駆動し、ビデオ信号R、G及びB、及び同期信号H及びVにตอบสนองして、イメージを表示装置130の画面上に表示する。

【0019】表示装置130は更に、表示回路304を制御するプロセッサ306を含む電力管理論理302を提供される。タイマ307の出力がプロセッサ306に

接続される。オペレーションに際して、表示装置130がオンされると、タイマ307がクロック・カウンタの増分を開始する。タイマ307はクロック・カウンタをリセットするためのリセット入力を受信し、これは比較器306の出力に接続される。表示画面バッファ309が比較器308の一方の入力に接続される。比較器308の他の入力及びバッファ309の入力は、表示装置130に入力されるビデオ信号に接続される。バッファ309は、表示アダプタ70から表示装置130に入力されるビデオ信号R、G及びBを受信し、デジタル化し、記憶するために接続されるデジタル・フレーム記憶である。バッファ制御論理310が比較器308及びバッファ309に接続される。

【0020】本発明の実施例では、バッファ309は入力ビデオ・データの完全なフレームを記憶するための十分な容量を有する。バッファ309の内容は入力ビデオ信号の各連続フレームによりリフレッシュされる。バッファ制御論理310は各フレーム・リフレッシュの間、バッファ309のアドレッシングを入力同期信号H及びVに同期させる。比較器308は、表示される次のフレームを定義する入力ビデオ・データを表示された前のフレームを定義する対応するビデオ・データと比較することにより、連続フレーム間の画面内容の変化を検出する。変化が検出されると、比較器308はタイマ307のクロック・カウンタをリセットする。変化が検出されない場合、タイマ307はクロック・カウンタの増分を継続する。クロック・カウンタが所定のしきい値に達すると、タイマはプロセッサ306をトリガし、表示回路304の少なくとも高電圧部分を非活動化し、それにより活動休止期間における表示装置130の電力消費を低減する。画面内容の続く変化が検出されると、比較器308はタイマ307に記憶されるクロック・カウンタをリセットする。タイマ307の出力が変化し、それによりプロセッサ306に表示回路307を再活動化するように合図する。出力装置303が再活動化された表示回路304により再活動化され、変更された画面内容を表示する。タイマ307のしきい値はオペレータにより、表示装置130上のインターバル制御311を介して調整される。

【0021】上述の本発明の実施例では、バッファ309は入力ビデオ・データの完全なフレームを記憶するのに十分な容量を有する。しかしながら、上述の実施例の変形では、バッファ309は入力ビデオ・データのフレームの1部だけを記憶できる。その1部は最も変化と思われる画面内容の領域に対応して選択される。オペレーションに際し、記憶部分が上述のように、入力ビデオ・データの対応部分と比較される。記憶部分は画面上のカーソルのホーム位置を含むように選択される。代わりに記憶部分が画面のトップ・ラインまたはボトム・ラインに対応してもよい。上述の実施例の別の変形では、

表示装置130において、モニタされる画面領域の水平境界及び垂直境界を調整するためのユーザ制御が提供される。表示装置130が例えばコンピュータ・データを画面上のウィンドウ内に表示するような特定のアプリケーションにおいて使用される時、オペレータは生成される画面データに従い、境界をプリセットすることが可能である。

【0022】上述の本発明の実施例では、電力管理論理302がハードワイヤード論理ゲートまたはコンピュータ・プログラム・コードにより制御されるマイクロプロセッサ、若しくはハードワイヤード論理ゲート及びマイクロプロセッサの組合わせにより実現されることが理解されよう。

【0023】図3を参照すると、本発明の別の実施例では、表示装置130は例えば陰極線管または液晶表示パネルなどの出力装置400を含む。出力装置400は表示回路401に接続される。表示回路401は表示アダプタ70により生成されるビデオ信号R、G及びB、及び同期信号H及びVに接続される。オペレーションに際し、表示回路400は、ビデオ信号R、G及びB、及び同期信号H及びVに応答して、表示装置130の画面上にイメージを表示するように出力装置401を駆動する。例えばマイクロプロセッサなどのプロセッサ402は、表示回路401に接続される出力を有する。プロセッサ402はメモリ404に接続される。プロセッサ402の入力は、アクティビティ検出器403の出力に接続される。プロセッサ402の別の入力はタイマ405の出力に接続される。タイマ405はプロセッサ402の出力に接続されるリセット入力を受信する。アクティビティ検出器403は、表示回路401に入力されるビデオ信号R、G及びB、及び同期信号H及びVを受信する。

【0024】図4を参照すると、アクティビティ検出器403の好適な例が示され、しきい値回路500、及び表示装置130への各RGBビデオ入力に対応するNビット・カウンタ501を含む。しきい値回路500の出力は、カウンタ501のクロック入力に接続される。しきい値回路500の入力は、RGBビデオ入力の対応する1つに接続される。カウンタ501の出力は、プロセッサ402に接続される。

【0025】オペレーションに際し、しきい値回路500は、対応するビデオ入力R、GまたはBが所定のしきい値を横切る度に、その出力における遷移を生成する。Nビット・カウンタ501は、しきい値回路500の出力における遷移のカウントを保持する。Nは入力ビデオの1フレームの間に、カウンタがカウンタ長をオーバーフローしないことを保証するように選択される。各フレームに対して、カウンタはしきい値を横切り、また再度横切る度に増分される。各ビデオ・フレームはフレーム同期パルスにより拘束されるため、ビデオ入力フレームに

対応するカウントの正確な獲得が、カウントをフレーム同期信号によりゲートすることにより保証される。更にフレーム同期信号はカウンタ501のリセット入力(図示せず)に接続され、各フレームの終りに於いてカウントをリセットし、次のフレームに備える。本発明の好適な実施例では、同期基準化回路(図示せず)がカウンタのリセット入力と入力フレーム同期信号との間に配置され、両極性のフレーム同期パルスによるアクティビティ検出器403の使用を可能にする。各基準化フレーム同期パルスのリーディング・エッジが、遷移の終りの獲得をプロセッサ402に合図するために使用され、各基準化同期パルスのトレーリング・エッジはカウンタ501をリセットするために使用される。プロセッサ402は各基準化同期パルスのトレーリング・エッジの受信に際し、カウンタ501に記憶されるカウントを読出す。

【0026】図5を参照すると、アクティビティ検出器403の別の好適な例が示され、ここではしきい値回路500は保持されるが、カウンタ501はNビットのシフト・レジスタ510により置換される。シフト・レジスタ510はシフト・レジスタ・ラッチ512乃至516及び排他的論理和(EOR)ゲート511及び517を含む。EORゲート511及び517はシフト・レジスタ510におけるフィードバック経路を提供し、巡回冗長検査(CRC)を生成するための生成プリミティブ多項式に従いシフト・レジスタ501を構成する。生成多項式は $1+X^{*3}+X^{*6}$ である。しかしながら、本発明の他の実施例では、異なる生成多項式が使用される。オペレーションに際し、シフト・レジスタ510は、しきい値を横切る各ビデオ入力R、G及びBにおけるビデオ遷移のCRCを生成する。各フレームの開始においてリセットされる同一のゲート、及び図4に関連して上述された各フレームの終りに於ける転送が、図5の構成においても同様に適用される。

【0027】図4及び図5に関連して上述された本発明の例における所定のしきい値は、アダプタ70のRGBビデオ出力に従い選択される。通常、ディスク・オペレーティング・システム(DOS)・ソフトウェアにより提供されるVGAテキスト・モードなどのテキスト・モードにおいて、基本入出力システム(BIOS)により、各文字の輝度として16進の輝度値2A(最大値3F)が割当てられる。16進の輝度値はデジタル-アナログ変換器(DAC)により、アダプタ70において出力ビデオ電圧に変換される。16進による最大値3Fに対する2Aは、各RGBチャネルの出力ビデオにおいて、最大値0.7Vに対する0.5Vに相当する。従って所定のしきい値は、通常、アダプタ70の出力電圧範囲の中間点の0.35Vに設定される。

【0028】図6を参照すると、アクティビティ検出器403の別の実施例が示され、ここではRGBビデオ入力の対応する1つに接続される入力を持つ積分器52

0を含む。積分器520の出力はサンプル・ホールド(S/H)・ステージ512の入力に接続される。S/Hステージ521の出力は、アナログ-デジタル変換器(ADC)522の入力に接続される。ADC522はプロセッサ402に接続されるNビット出力を有する。オペレーションに際し、積分器520はフレーム同期パルスにより、各フレームの開始でリセットされる。各フレームの間、積分器520の出力は、次のフレーム同期パルスのリーディング・エッジの直前に、最終値を達成する。各フレームの終りに於いて、S/Hステージ512は、前のフレームの間に積分器520により達成された最終値を記憶する。S/Hステージ521により記憶された最終値は、ADC522によりNビットのデジタル値に変換される。ADC522の出力におけるNビット・デジタル値は、次にプロセッサ402により読出される。図5に関連して上述されたように、各フレームの開始における同一のリセット、及び各フレームの終りに於ける転送が、図6の構成においても適用される。図6のアクティビティ検出器の変形では、RGBビデオ入力に対応する各S/Hステージがマルチプレクサを介して、単一のADC522の入力に接続される。

【0029】図4の構成の変形では、ADC522がグレイコードによるNビットのデジタル値を生成するように適応化される。ADC522の入力が変化する時、Nビットのデジタル値の1ビットだけが変化する。これはノイズ及び温度変化に対するアクティビティ検出器403の感度を有利に低減する。

【0030】図6に関連して上述された本発明の実施例では、積分器520は入力ビデオの各フレームの終りに於いて、最終値を達成するように構成された。しかしながら、本発明の他の実施例では、積分器520は所定のラインまたはライン・グループに関し、S/Hステージ512によりサンプリングされ、ADC522により符号化される最終値を達成するように構成される。

【0031】図4及び図5を再度参照すると、特にしきい値回路500において、多くの場合、表示装置130の電力管理が単一のしきい値レベルにより十分に提供される。しかしながら、信頼性のある電力管理を保证するために、単一のしきい値では不十分な場合が存在する。図7を参照すると、表示装置130に入力されるビデオ信号Vは一定輝度Vbの画面背景を定義し、それに対して任意のテキストが例えば、V1、V2及びV3において強調表示される。強調表示されるテキストは、例えば状態変化をもたらすことによりユーザの注意を引く。背景輝度レベルVbがしきい値回路500のしきい値、例えば0.35V以上の場合、比較的高輝度の背景上にスーパーインポーズされる画面内容の変化にも関わらず、図4のカウンタ501または図5のレジスタ510の入力において遷移は検出されない。

【0032】図8を参照すると、好適なしきい値回路5

00は高速比較器601を含み、その出力600は図4のカウンタ501の入力または図5のシフト・レジスタ510に接続される。比較器601の負入力は入力ビデオ信号R、GまたはBに接続される。比較器601の正入力は、正フィードバックを提供するように比較器601の出力に接続される。比較器601の正入力はサンプル/ホールド(S/H)回路602の出力にも接続される。積分器603として構成される演算増幅器の出力は、S/H回路602の入力に接続される。S/H回路602の制御入力はプロセッサ402に接続される。積分器603の入力は入力ビデオR、GまたはBに接続される。積分器603の出力は、電界効果トランジスタ・スイッチT1を介して、グランドに接続される。T1のゲートはプロセッサ402に接続される。オペレーションに際し、積分器603は入力ビデオ信号R、GまたはBの各フレームを積分し、各フレームのピクチャ内容を表す平均電圧レベルを生成する。S/H回路602は前のフレームの終りにおいて、積分器603により決定される平均レベルを保持し、積分器603は現フレームに対応する平均レベルを決定する。S/H回路602の制御入力を介して、プロセッサ402は各フレームの終りにおいて、積分器603の出力からS/H回路602の出力への転送するをトリガする。S/H回路602に保持されるレベルは、比較器601のしきい値を決定する。各フレームの終りにS/H回路602をトリガし、積分器603の出力をサンプル・ホールドした後、プロセッサ402はT1をオンすることにより積分器603をリセットする。比較器601の正フィードバック・ループは、入力ビデオR、GまたはBが比較器601のしきい値を横切る時に、比較器601の出力600における多重遷移を防止するためのヒステリシスを提供する。ヒステリシスはまた、アダプタ70のビデオDACにおけるジッタに応答する比較器601の出力600における擬似遷移を防止する。

【0033】図9を参照すると、別の好適なしきい値回路500'が示され、ここでは各々がそれぞれVref1及びVref2により決定される異なるしきい値を有する2個の比較器610及び611を含む。比較器610及び611の負入力は、入力ビデオR、GまたはBに接続される。比較器の出力は、各々2入力排他的論理和(EOR)ゲート612の異なる入力に接続される。EORゲート612の出力600は、図4のアクティビティ検出器内のカウンタ501の入力、または図5のアクティビティ検出器内のシフト・レジスタ510の入力に接続される。比較器610及び611の正入力は、分圧器を介して基準電圧+Vに接続される。図10を参照すると、オペレーションに際し、EORゲート612の出力(Q)600は、比較器610からの入力Aまたは比較器611からの入力Bのいずれかが高になる時に限り高となるが、A及びBの両方が同時に高になる場合にはそ

うならない。次に図9のしきい値回路の動作について、図11乃至図14の信号図を参照して説明することにする。

【0034】図11を参照すると、しきい値レベルVth1+及びVth1-は、Vref2により設定される比較器611のヒステリシスしきい値レベルである。しきい値レベルVth2+及びVth2-は、Vref1により設定される比較器610のヒステリシスしきい値レベルである。比較のために図11には、図4に関連して上述されたしきい値回路500の前記単一のしきい値レベル0.35Vが示される。ビデオ信号V(t)は正のスロープS1及びS3と、負のスロープS2及びS4を含む。しきい値回路500はスロープS2及びS3を検出しない。なぜなら、スロープS2及びS3は、しきい値0.35Vを横切らないからである。図12を参照すると、比較器611の出力(ゲート612への入力B)は正のスロープS1がしきい値レベルVth1+を横切る時に高となり、負のスロープS4がしきい値Vth1-を横切る時に低に戻る。図13を参照すると、比較器610の出力(ゲート612への入力A)は、正のスロープS1がVth2+を横切る時に高となり、負のスロープS2がVth2-を横切る時に低に戻る。比較器610の出力は、正のスロープS3がしきい値Vth2+を横切る時に高となり、負のスロープS4がしきい値Vth2-を横切る時に再度、低に戻る。図14を参照すると、ゲート612の出力Qはビデオ信号における全ての遷移を示す。図10を再度参照すると、ゲート612の入力Aが高で、入力Bが低である真理値表の状態は、不可能な状態であることが理解されよう。なぜなら、Vth1+及びVth1-はVth2+及びVth2-よりも低いからである。

【0035】図3を再度参照すると、オペレーションに際し、アクティビティ検出器402は上述のように、入力ビデオR、G及びBの各フレームに対応してデジタル出力を生成する。各デジタル出力は入力ビデオの対応する各RGBフレームのそれぞれの内容により決定される。プロセッサ402はアクティビティ検出器402により生成されるデジタル出力をモニタする。入力ビデオの連続フレーム間でデジタル出力が変化すると、プロセッサ402は新たなデジタル出力をメモリ404に記憶する。プロセッサ402が連続フレーム間においてデジタル出力の変化を検出しない場合は、メモリ404に現在記憶される値が維持される。インタレース表示形式では、プロセッサ402は交互のフレームに対応するデジタル出力をモニタすることが理解されよう。タイマ405はカウンタ(図示せず)を含む。オペレーションに際し、タイマ405のカウンタがクロック信号のパルスに応答して、クロック・カウントを増分する。プロセッサ402は連続フレーム間において、アクティビティ検出器403からの任意のデジタル出力の変化を検出すると、タイマ405をリセットする。それ以外では、タイ



マ405に記憶されるカウントが増分し続ける。タイマ405に記憶されるカウントが所定のしきい値レベルに達すると、タイマ405は割込みをプロセッサ402に送信する。本発明の別の実施例では、タイマ405はカウンタに代わりリセット可能単安定回路などにより実現されることが理解されよう。図5のアクティビティ検出器を再度参照すると、各RGBビデオ入力により生成されるCRCは、1フレームにつき単一の複合CRCを生成するように結合される。

【0036】上述の構成では、入力ビデオR、G及びBに対応するいずれかのデジタル出力において、あるフレームから次のフレームへの変化が検出されると、メモリ404の内容が更新され、タイマ405がリセットされる。しかしながら、例えば表示ピクチャが点滅カーソルを含むような幾つかのアプリケーションでは、上述の絶対値検出構成は好適ではない。なぜなら、点滅カーソルがタイマ405をリセットし、それにより電力管理を妨害するからである。通常、点滅カーソルは固定周波数による50%のデューティ・サイクルで点滅する。一般にこうしたカーソルは1文字ボックス(8画素)の幅を占有する。一般にこうしたカーソルは通常オペレーションでは2ラインの高さを有し、キーボード110上の"挿入"キーがアクチュエートされると、1文字ボックスの高さまでを有する。

【0037】本発明の別の構成では、プロセッサ402は、入力ビデオR、G及びBに対応するデジタル出力のR対G、R対B、及びB対G比率のいずれかにおけるフレーム間変化の検出が検出されると、メモリ404の内容を更新し、タイマ405をリセットする。この比率測定基準(ratiometric)検出構成は、点滅ホワイト・カーソルを生成するアプリケーションに対して、電力管理を提供するのに好適である。なぜなら、カーソルを有さないフレームに対応するデジタル出力の比率は、カーソルを有する連続フレームに対応するデジタル出力の比率と等しいからである。従って、タイマ405は連続フレーム間で点滅するカーソルによりリセットされない。タイマ405は、入力ビデオの連続フレームに含まれる色情報に本質的な変化が存在する場合に限り、リセットされる。

【0038】本発明の別の構成では、プロセッサ402は、R、G及びBビデオに対応するデジタル出力のいずれかのフレーム間変化において、ビデオ・アクティビティにおける少なくとも所定のステップの変化を検出することにより、メモリ404の内容を更新し、タイマ405をリセットする。所定のステップはタイマ周期の関数として選択され、その後、タイマ405がプロセッサ402に割込みを発生する。例えば、タイマ周期の間に隣接フレーム間において、点滅カーソルまたは時計の針などの比較的小さなレベルのビデオ・アクティビティが検出される場合、タイマ405はリセットされない。ビデ

オ・アクティビティのこうしたレベルは、通常、各々が約10000回のオーダの遷移を有する隣接フレーム間における4回の遷移の差に対応する。この構成は、ユーザがアプリケーションに関わる所定のステップを変更するためのマニュアル制御を提供するように変更可能であることが理解されよう。図4を再度参照すると、文字"H"の典型的なビデオ表示は、カウンタ501に記録されるカウントを20だけ変化させる。このいわゆる"ファジー(fuzzy)"論理技術は、プロセッサ402が図4のアクティビティ検出器か、或いは図6のアクティビティ検出器内の非グレーコード化ADCのいずれかに接続される場合において、電力管理を最適化するのに特に有用である。

【0039】図15を参照すると、本発明の更に別の構成では、プロセッサ402は、図5の実施例のアクティビティ検出器403により生成されるCRCを処理するカーソル・フィルタリング・アルゴリズムにより構成される。このアルゴリズムは、CRC<sub>new</sub>、CRC<sub>previous</sub>、CRC<sub>t</sub>、及びCRC<sub>t-1</sub>の4個の変数を有する。CRC<sub>new</sub>はビデオ入力R、G及びBの現フレームの組合わせにより決定されるCRCである。CRC<sub>previous</sub>はビデオ入力の前のフレームにより決定されるCRCである。CRC<sub>t</sub>はカーソルがオン状態の時に生成されるCRCである。CRC<sub>t-1</sub>はカーソルが別の状態、例えば部分的に作成される時か、オフの時に生成されるCRCである。ステップ700で、プロセッサ402はCRC<sub>new</sub>をシフト・レジスタ510から獲得する。ステップ701で、プロセッサ402はCRC<sub>new</sub>をCRC<sub>previous</sub>と比較する。CRC<sub>new</sub>がCRC<sub>previous</sub>と同じ場合、ステップ703において、タイマ405に記憶されるカウントが増分され、アルゴリズムはステップ700に戻り、次のフレームに対応するCRC<sub>new</sub>を受信する準備をする。CRC<sub>new</sub>がCRC<sub>previous</sub>と同じでない場合、ステップ702でプロセッサ402はCRC<sub>previous</sub>をCRC<sub>new</sub>により重ね書きする。次にステップ704で、プロセッサ402はCRC<sub>previous</sub>をCRC<sub>t-1</sub>と比較する。CRC<sub>previous</sub>がCRC<sub>t-1</sub>と同じ場合、ステップ703でタイマ405に記憶されるカウントが増分される。CRC<sub>previous</sub>がCRC<sub>t-1</sub>と同じでない場合には、ステップ705でプロセッサ402はCRC<sub>t-1</sub>をCRC<sub>t</sub>により重ね書きし、CRC<sub>t</sub>をCRC<sub>previous</sub>により重ね書きする。ステップ704で、プロセッサ402がCRC<sub>previous</sub>がCRC<sub>t-1</sub>と同じでないかと判断すると、CRC<sub>previous</sub>は、対応するフレームが単なる点滅カーソルの代わりに新たな画面データを含むことを示す。従ってステップ706で、プロセッサ402はタイマ405に記憶されるカウントをリセットする。カーソルがオンのフレームからのCRCと、カーソルがオフのフレームからのCRCの両方を記憶することにより、絶対時間依存性が本発明のカーソル・フィルタリング・アルゴリズムから除去される。従って、本発明のカーソル・フィル

タリング・アルゴリズムは、様々な点滅周波数及び点滅  
デューティ・サイクルを有するカーソルをフィルタする  
ために使用することができる。エイリアシング (aliasi  
ng) は枠率以上の点滅周波数のカーソルのフィルタリ  
ングを可能にする。

【0040】本発明の更に別の構成では、プロセッサ4  
02は、図5の実施例のアクティビティ検出器403に  
より生成されるCRCを処理する別のカーソル・フィル  
タリング・アルゴリズムにより構成される。このアルゴ  
リズムは入力ビデオの連続フレームからのCRCをモニ  
タし、NUTEK標準などの電力管理における業界標準  
に従い、所定の時間間隔 (例えば5秒間) に渡るCRC  
の周期性を判断する。CRCの周期性が時間間隔の終り  
までに検出されない場合、プロセッサ402はタイマ4  
05に記憶されるカウントをリセットする。時間間隔の  
終りにおいてCRCの周期性が検出されると、プロセッ  
サ402はタイマ405に記憶されるカウントを増分す  
る。

【0041】図1を再度参照すると、表示装置130の  
ライン及びフレーム・リフレッシュ・レートは、一般に  
システム装置5によりビデオ信号R、G及びBの更新に  
同期される。従って、カーソルがシステム装置5により  
作成または消去される時、部分的に作成されたカーソル  
を有する1個以上のフレームが表示装置130により表  
示される。本発明の更に別の構成では、カーソル・フィル  
タリング・アルゴリズムはビデオ内容の変化が識別さ  
れる第1のフレームを無視し、カーソル・フィルタリ  
ングのために次の及び後続のフレームを受諾するように、  
プロセッサ402を構成する。これはカーソル・フィル  
タリングが適用される以前に、カーソルが完全に作成さ  
れることを保証する。上述のカーソル・フィルタリング  
技術は、入力ビデオ・アクティビティの周期的サイクリ  
ングに適用することができる。

【0042】図16を参照すると、本発明の更に別の構  
成では、表示装置130はプロセッサ402に接続され  
るライン記憶800を含む。ライン記憶800は入力ビ  
デオ遷移の2個の完全なフレームを記憶することができ  
る。典型的な高解像表示ピクチャは、各々が各RGBビ  
デオ・チャンネルにおいて512ビデオ遷移を有する76  
8ラインを含む。従って、この表示モードに対応するビ  
デオ遷移の2フレームの記憶を容易にするために、ライ  
ン記憶800は少なくとも2 (フレーム)  $\times$  768 (ラ  
イン)  $\times$  9 (ビット: 512遷移に対応)  $\times$  3 (カラー  
RGB) = 41472ビットの容量を有する。特に好適  
な構成では、ライン記憶800は64kbitのダイナ  
ミック・ランダム・アクセス・メモリ (DRAM) ・チ  
ップにより実現される。オペレーションに際し、プロセ  
ッサ402は、入力ビデオR、G及びBフレームの連続  
対に対応するビデオ遷移をライン記憶800に記憶す  
る。ライン記憶800に記憶される各フレーム対に対

し、プロセッサ402は排他的論理和機能により、1つ  
の記憶フレームの連続ラインを他の記憶フレームの対応  
するラインと順次比較する。プロセッサ402は排他的  
論理和機能から、同一遷移を有する2乃至16の連続ラ  
インが存在することを判断することにより、カーソルを  
識別する。プロセッサ402は同一遷移を有する2乃至  
16の連続ラインを検出できない場合に、カーソルが存  
在しないと判断する。

【0043】タイマ405からの割込みの受信に際し、  
プロセッサ402は表示回路401の高電力部分を非活  
動化することにより、活動休止期間における表示装置1  
30の電力消費を低減する。出力装置400がCRTの  
場合、駆動回路401の高電力部分には、通常、ライン  
及びフレーム偏向回路、アノード電圧発生器、ビデオ増  
幅器、及びこれらに電力を供給する電源部分が含まれ  
る。画面内容の後続の変化が検出されると、プロセッサ  
402はタイマ405をリセットし、表示回路401を  
再活動化する。表示装置130は画面内容の変化に応答  
して、低電力 "スタンバイ・モード" から脱出する。出  
力装置400は再活動化された表示回路401により再  
活動化され、変更された画面内容を表示する。

【0044】本発明の変形では、タイマ405に各々が  
プロセッサ401の割込みに接続される複数の出力を提  
供することにより、表示装置130において複数レベル  
の電力管理が提供される。タイマ405の出力は、プロ  
セッサ402により検出される最後の画面更新以後、経  
過する長いプリセット時間間隔にตอบสนองして、順次トリガ  
される。タイマ405からの各出力は、表示回路401  
の異なる部分を非活動化するようにプロセッサ402を  
トリガすることにより、表示装置130の最低電力部分  
だけがアクティブに維持されるまで、表示装置130を  
順次非活動化する。こうした最低電力部分にはプロセッ  
サ402、アクティビティ検出器403、タイマ40  
5、及びメモリ404が含まれる。画面更新の検出に際  
し、プロセッサ402は表示回路401を再活動化し、  
出力装置400上に新たな画面内容を表示する。タイマ  
405は複数のステージを有するカウンタを含み、各ス  
テージはプロセッサ402の割込みに接続される出力を  
有する。しかしながら、本発明の他の実施例では、タイ  
マ405は、例えば各々がプロセッサ402の割込みに  
接続され、異なる時定数を有する複数の単安定回路を含  
むことが理解されよう。

【0045】本発明の変形では、表示装置130は発光  
ダイオード (LED) などの表示器、及び手操作により  
制御される押しボタン取消制御を提供され、両者はプロ  
セッサ402に接続される。タイマ405からの割込みに  
ตอบสนองして表示回路401を非活動化する以前に、プロ  
セッサ402は表示器を点滅することにより、ユーザに  
表示回路401が非活動化されることを警告する。ユー  
ザにより取消が押されない場合には、所定の時間間隔の

後、プロセッサ402は表示回路401を非活動化する。プロセッサ402は取消ボタンが押されたことを検出し、タイマ405をリセットする。表示回路401はこれによりアクティブ状態を維持する。表示回路130はまたブザーなどの聴覚的なインジケータを含み、点滅表示器により提供される警告を増補する。取消制御は必要に応じ、プロセッサ402により提供される電力管理機能を不能にするために、2位置タイプであってもよい。

【0046】これまでに本発明の実施例はカラー表示装置に関連して述べられてきたが、本発明はモノクロ表示装置においても同様に適用可能であることが理解されよう。

【0047】まとめとして、本発明の構成に関して以下の事項を開示する。

【0048】(1)表示画面及び入力ビデオ信号(R、G、B)を受信して入力ビデオ信号(R、G、B)にตอบสนองしてイメージを表示画面上に生成するように表示画面に接続された駆動回路を含む表示装置であって、クロック信号にตอบสนองしてカウントを生成するタイマと、入力ビデオ信号を受信し、入力ビデオ信号(R、G、B)の連続フレーム間のイメージ内容の変化の検出においてタイマをリセットする検出器と、タイマ及び駆動回路に接続されて、タイマに記憶されるカウントが所定しきい値を越えたことにตอบสนองして、少なくとも部分的に駆動回路を不能にする制御手段と、を含む、表示装置。

(2)前記検出器が、入力ビデオ信号のフレームの少なくとも1部を記憶するフレーム記憶と、前記フレーム記憶に接続され、該フレーム記憶に記憶されるビデオ信号のフレームの1部を、入力ビデオ信号の次のフレームの対応部分と比較する比較器と、比較器がフレーム記憶に記憶されるビデオ信号のフレームの1部が、入力ビデオ信号の次のフレームの対応部分と異なると判断すると、前記タイマをリセットする手段と、を含む、前記(1)記載の表示装置。

(3)前記検出器が、入力ビデオ信号が所定のしきい値を横切る遷移にตอบสนองして、パルス信号を生成するしきい値手段と、パルス信号のパルスをカウントして、入力ビデオ信号における遷移回数を示すパルス・カウントを生成するカウンタと、ビデオ信号の各フレームの開始において前記カウンタをリセットする手段と、入力ビデオ信号の第1フレームの終りにおける前記カウンタのパルス・カウントを、入力ビデオ信号の次のフレームの終りにおける前記カウンタのパルス・カウントと比較する比較器と、前記比較器が入力ビデオ信号の連続フレームに対応するパルス・カウントが異なると判断すると、前記タイマをリセットする手段と、を含む、前記(1)記載の表示装置。

(4)前記検出器が、入力ビデオ信号が所定のしきい値を横切る遷移にตอบสนองして、パルス信号を生成するしきい

値手段と、パルス信号の関数としてチェックサムを生成する巡回冗長チェックサム発生器と、入力ビデオ信号の各フレームの開始において前記チェックサム発生器をリセットする手段と、入力ビデオ信号の第1フレームの終りにおける前記チェックサム発生器により生成されるチェックサムを、入力ビデオ信号の次のフレームの終りにおける前記チェックサム発生器により生成されるチェックサムと比較する比較器と、比較器が入力ビデオ信号の連続フレームに対応するチェックサムが異なると判断すると、前記タイマをリセットする手段と、を含む、前記(1)記載の表示装置。

(5)前記検出器が、入力ビデオ信号の点滅カーソル要素を、入力ビデオ信号の連続フレームに対応するチェックサムの関数として検出するカーソル・フィルタリング手段と、前記比較器が入力ビデオ信号の連続フレームに対応するチェックサムが異なると判断し、前記カーソル・フィルタリング手段により、チェックサム間の差が入力ビデオ信号の前記点滅カーソル要素に対応すると判断されない場合に、前記タイマをリセットする手段と、を含む、前記(4)記載の表示装置。

(6)前記カーソル・フィルタリング手段が、入力ビデオ信号の連続フレームに対応するチェックサムの周期性を検出することにより、入力ビデオ信号の点滅カーソル要素を識別する、前記(5)記載の表示装置。

(7)前記しきい値手段が、各々が異なるしきい値レベルを横切るビデオ信号の遷移にตอบสนองして出力信号を生成する複数の比較器と、前記比較器からの出力信号の組合わせの関数としてパルス信号を生成する排他的論理和ゲートと、を含む、前記(2)乃至(6)記載の表示装置。

(8)前記しきい値手段が、第1の所定のしきい値レベルを横切るビデオ信号の遷移にตอบสนองして第1の信号を生成する第1の比較器手段と、前記第1の所定のしきい値レベルよりも低い第2の所定のしきい値レベルを横切るビデオ信号の遷移にตอบสนองして第2の信号を生成する第2の比較器手段と、前記第1及び第2の信号の組合わせの関数としてパルス信号を生成する排他的論理和ゲートと、を含む、前記(6)記載の表示装置。

(9)前記検出器が、入力ビデオ信号を積分し、出力レベルを生成する積分器と、入力ビデオ信号の各フレームの終りにおける出力レベルの関数として、デジタル・ワードを生成するアナログ-デジタル変換器と、入力ビデオ信号の各フレームの開始において前記積分器をリセットする手段と、第1フレームの終りにおける前記アナログ-デジタル変換器により生成されるデジタル・ワードを、次のフレームの終りにおける前記アナログ-デジタル変換器により生成されるデジタル・ワードと比較する比較器と、前記比較器が入力ビデオ信号の連続フレームに対応するデジタル・ワードが異なると判断すると、前記タイマをリセットする検出器と、を含む、前記(1)記

載の表示装置。

(10) 前記アナログ-デジタル変換器がグレーコードによるデジタル・ワードを生成するように適応化される、前記(6)記載の表示装置。

(11) 入力ビデオ信号を生成し、表示装置の画面上にイメージを生成するシステム装置と、前記システム装置にデータ及びコマンドを入力するデータ入力装置と、を含む、前記(1)乃至(10)記載の表示装置を含むコンピュータ・システム。

【0049】

【発明の効果】以上説明したように、本発明によれば、表示装置が接続されるシステム装置には関係無しに、表示装置における電力管理が達成される。

【図面の簡単な説明】

【図1】本発明の表示装置を含むコンピュータ・システムのブロック図である。

【図2】本発明の表示装置のブロック図である。

【図3】本発明の別の表示装置のブロック図である。

【図4】本発明の表示装置のアクティビティ検出器のブロック図である。

【図5】本発明の表示装置の別のアクティビティ検出器のブロック図である。

【図6】本発明の表示装置の更に別のアクティビティ検出器のブロック図である。

【図7】典型的な入力ビデオ信号に対応する信号図である。

【図8】本発明の表示装置のアクティビティ検出器のしきい値回路の図である。

【図9】本発明の表示装置のアクティビティ検出器の別のしきい値回路の図である。

【図10】図9のしきい値回路に対応する真理値表である。

【図11】別の典型的入力ビデオ信号に対応する信号図である。(以下の図11から図14については縦方向に並べると対応関係がわかる。)

【図12】図9のしきい値回路に対応する信号図である。

【図13】図9のしきい値回路に対応する信号図である。

【図14】図9のしきい値回路に対応する信号図である。

る。

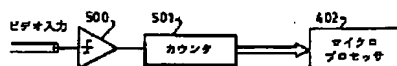
【図15】図5のアクティビティ検出器と共に使用されるカーソル・フィルタリング方法の流れ図である。

【図16】本発明の別の表示装置のブロック図である。

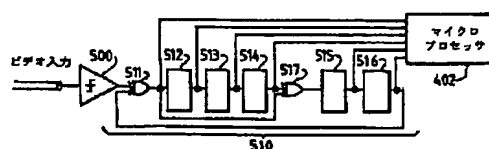
【符号の説明】

- 5 システム装置
- 10 ランダム・アクセス・メモリ (RAM)
- 20 読出し専用記憶装置 (ROS)
- 30 中央処理装置 (CPU)
- 40 通信アダプタ
- 50 ネットワーク
- 60 バス・アーキテクチャ
- 70 表示アダプタ
- 80 ポインティング・デバイス・アダプタ
- 90 キーボード・アダプタ
- 100 大容量記憶装置
- 130 表示装置
- 301 駆動回路
- 302 電力管理論理
- 303、400 出力装置
- 304、401 表示回路
- 306、402 プロセッサ
- 307 タイマ
- 309 表示画面バッファ
- 310 バッファ制御論理
- 311 インターバル制御
- 403 アクティビティ検出器
- 500 しきい値回路
- 501 Nビット・カウンタ
- 510 シフト・レジスタ
- 512、513、514、515、516、517 シフト・ラッチ
- 511、512、513、514、515、516、517 排他的論理
- 522 アナログ-デジタル変換器 (ADC)
- 601 高速比較器
- 602 サンプル/ホールド (S/H) 回路
- 612 2入力排他的論理和 (EOR) ゲート
- 800 ライン記憶

【図4】



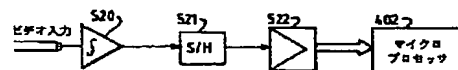
【図5】



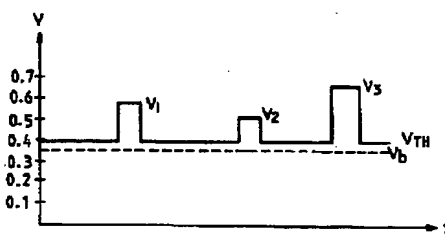
【図10】

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

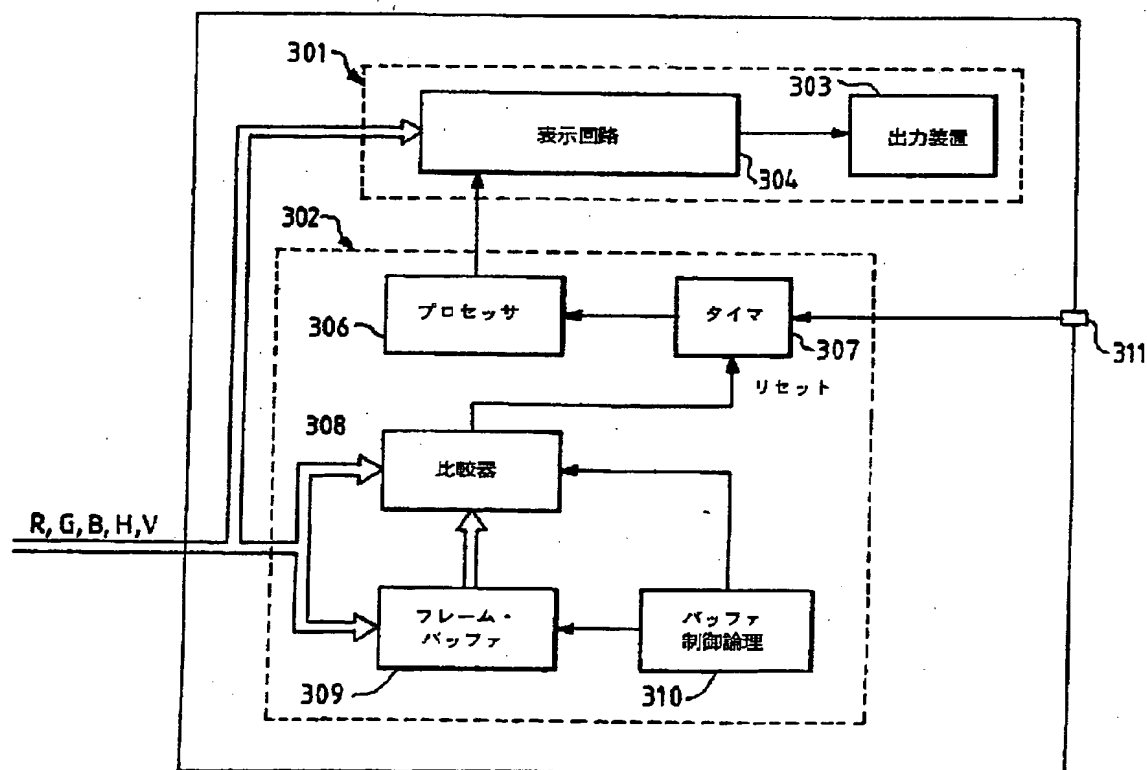
【図 6】



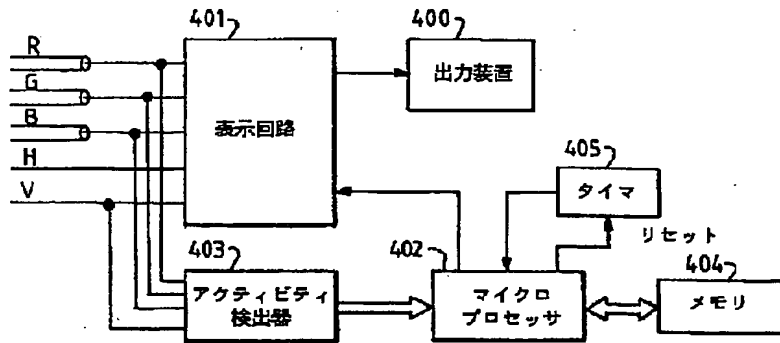
【图 7】



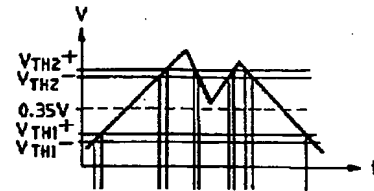
【图 2】



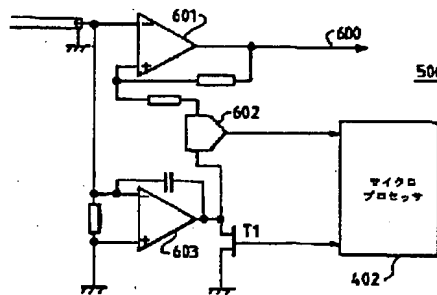
【図3】



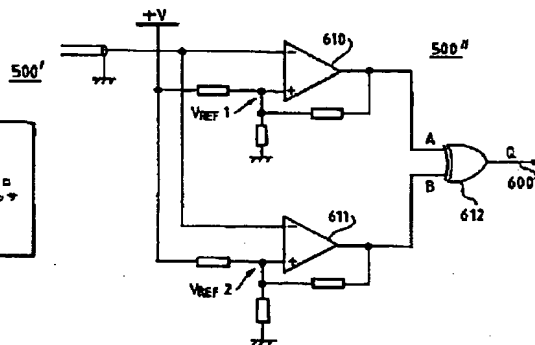
【図11】



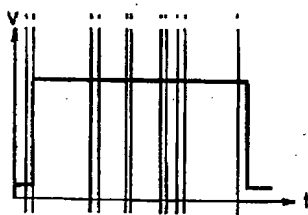
【図8】



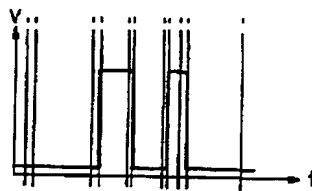
【図9】



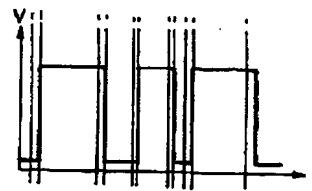
【図12】



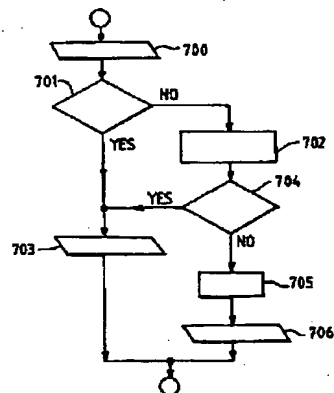
【図13】



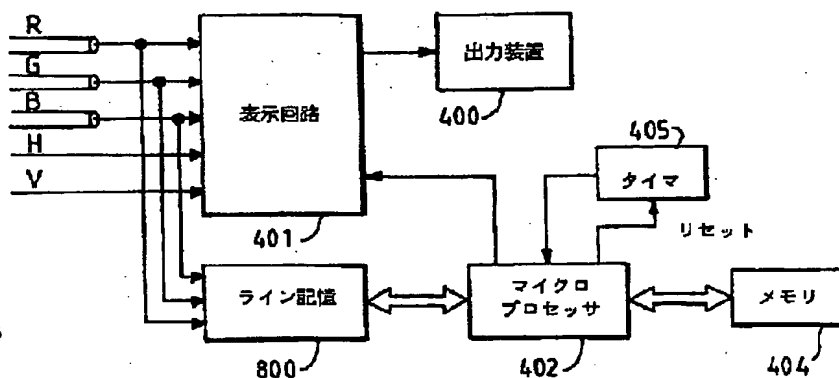
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 エドワード・アンワイル  
イギリス、エス・オー5 7エイチ・ビ  
ィ、ハンプシャー、イーストレイ、フェア  
ー・オーク、ボトレイ・ロード、コッツオ  
ールズ 1

(72)発明者 ジョン・ピーツソン  
イギリス、ビィ・エイ17 5ディ・エック  
ス、アエシャー、スケルモーリ、ザ・クレ  
ッシェント 17

(72)発明者 シャウン・ケリガン  
イギリス、ビィ・エイ13 4ビィ・シー、  
レンフリーシャー、キルマルコルム、ラ  
ングバンク・ドライブ、ザ・ストール  
(番地なし)

(72)発明者 アンドリュー・ノックス  
イギリス、ケィ・エイ25 7ジェィ・ゼッ  
ト、キルバーニー、ミルトン・ロード、ガ  
ーノック・ロッジ (番地なし)

(72)発明者 ビーター・マーティネス  
アメリカ合衆国33431-1329、フロリダ州  
ボカ・ラトン、ノース・ウエスト・フィフ  
ティ・ファースト・ストリート 1000